

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008301037 **Image available**

WPI Acc No: 1990-188038/199025

**MIS FET to prevent parasite resistance - has gate thin film electrode,
and source drain diffusion layer, changing in inclined portion duplicated**

NoAbstract Dwg 1/9

Patent Assignee: NEC KYUSHU LTD (KYUN)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2121369	A	19900509	JP 88274762	A	19881031	199025 B

Priority Applications (No Type Date): JP 88274762 A 19881031

Title Terms: MIS; FET; PREVENT; PARASITIC; RESISTANCE; GATE; THIN; FILM;

ELECTRODE; SOURCE; DRAIN; DIFFUSION; LAYER; CHANGE; INCLINE;
PORTION;

DUPLICATE; NOABSTRACT

Derwent Class: U11; U12

International Patent Class (Additional): H01L-021/26; H01L-029/78

File Segment: EPI

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03145869 **Image available**

MIS TYPE FIELD EFFECT TRANSISTOR

PUB. NO.: 02-121369 [JP 2121369 A]

PUBLISHED: May 09, 1990 (19900509)

INVENTOR(s): SATAKE KAZUYA

APPLICANT(s): NEC KYUSHU LTD [423996] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 63-274762 [JP 88274762]

FILED: October 31, 1988 (19881031)

INTL CLASS: [5] H01L-029/784; H01L-021/265; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 957, Vol. 14, No. 348, Pg. 42, July
27, 1990 (19900727)

ABSTRACT

PURPOSE: To prevent a transistor from varying in characteristics and to restrain a current to a semiconductor substrate from increasing by a method wherein the transistor is provided with a slope and impurity diffusion layers of a drain and a source formed on the region overlapped with the slope, and the amount of impurity in the overlapped area of the impurity diffusion layer with the slope is made to change corresponding to the change of the slope in thickness.

CONSTITUTION: An N-type donor impurity 5 is ion implanted into the surface of a substrate highly in-concentration at a high injection energy to form an N-type impurity diffusion layer 6. The donor impurity 5 is not implanted into a part of the substrate just under the part of a gate thin film electrode 3 large enough in thickness. An N-type impurity diffused layer 6 is formed in a part of the substrate 1 just under the sloping area of the gate thin film electrode 3. In the sloping area, the impurity concentration is comparatively low under a part of the gate thin film electrode 3 whose thickness is comparatively large, and moreover an impurity implanted layer is so formed as to be located at a position near to the surface of the semiconductor substrate 1. On the other hand, the donor impurity concentration becomes gradually higher and the thickness of the diffusion layer 6 from the surface of the semiconductor substrate 1 becomes gradually larger as the gate thin film electrode 3 decreases gradually in thickness toward its outer part along a broadwise direction.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-121369

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月9日

H 01 L 29/784
21/265
21/336

8422-5F
8422-5F
7522-5F

H 01 L 29/78

3 0 1

S
P
G

21/265

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 MIS型電界効果トランジスタ

⑯ 特 願 昭63-274762

⑰ 出 願 昭63(1988)10月31日

⑱ 発 明 者 佐 竹 和 也 熊本県熊本市八幡町100番地 九州日本電気株式会社内
⑲ 出 願 人 九州日本電気株式会社 熊本県熊本市八幡町100番地
⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

MIS型電界効果トランジスタ

2. 特許請求の範囲

(1) その側面が半導体基板に対して傾斜しこの傾斜部で幅方向端部側の膜厚が薄くなるゲート薄膜電極と、前記半導体基板の表面にその一部が前記傾斜部と重なる領域に形成されたソースドレインの不純物拡散層とを有し、この不純物拡散層の前記傾斜部との重なり部における不純物量が前記傾斜部の膜厚の変化に対応して変化していることを特徴とするMIS型電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はソース及びドレインの拡散層に濃度分布をもたせたMIS型電界効果トランジスタに関する。

〔従来の技術〕

従来のMIS(Metal Insulator Semiconductor)型電界効果トランジスタ(以下、MISFET

という)の製造工程について説明して併せて、その構造について説明する。

MISFETにはPチャネル型とNチャネル型とがあるが、ここでは特に、Nチャネル型MISFETについて説明する。

第7図(a)乃至(e)は従来のNチャネル型MISFETの製造方法をその工程順に示す断面図、第8図は従来のNチャネル型MISFETのソース又はドレイン近傍の構造を示す断面図、第9図は横軸にPN接合部分中央からの距離をとり、縦軸上方にはP型不純物濃度、縦軸下方にはN型不純物濃度をとって、PN接合部分における不純物濃度分布を示すグラフ図である。

先ず、第7図(a)に示すように、P型半導体基板31の表面に絶縁体薄膜32を形成する。

次に、第7図(b)に示すように、絶縁体薄膜32上にゲート薄膜電極33用の例えば、不純物を含む多結晶シリコン層33aを成長させる。

次に、第7図(c)に示すように、全面にフォトリソグラフィを施した後、所定のパターンで露光

し、現像することによって、矩形断面のフォトリジスト34をパターン形成する。

次に、第7図(d)に示すように、このフォトリジスト34をマスクとして多結晶シリコン層33aを異方性エッチングすることにより矩形断面のゲート薄膜電極33を所望のパターンで形成する。その後、ゲート薄膜電極33上のフォトリジスト34を剥離する。

次に、第7図(e)に示すように、ゲート薄膜電極33をマスクとして半導体基板31の表面に高濃度で、且つ、高エネルギーでN型ドナー不純物35をイオン注入して、ソース及びドレイン用のN型不純物の拡散層36を形成する。

このようにして形成された従来のMISFETにおいては、上述の如く、ゲート薄膜電極33のエッチングは異方性エッチングにより行われるため、このゲート薄膜電極33の側面の形状は半導体基板31の表面に対して略々垂直となる。また、ゲート薄膜電極33をマスクとしてソース及びドレイン部へドナー不純物35を注

(2) 入するため、ゲート薄膜電極33の下方の半導体基板31中には前記ドナー不純物は全く注入されない。

従って、第8図に示すように、半導体基板31とソース又はドレイン不純物拡散層36との間のPN接合部部分37においては、第9図に示すように、ゲート薄膜電極33の側面下部(縦軸)にて、極性及び不純物濃度が急激に変化する。即ち、Pチャネル型半導体基板領域38とNチャネル型ソース又はドレイン領域39との間で極性が反転する。また、通常ソース及びドレイン部の拡散層36の不純物注入量はソース及びドレインにおける拡散層抵抗が問題とならない程度に高濃度に設定されるため、ゲート薄膜電極33の側面下部における半導体基板31中の不純物の極性及び濃度変化は極めて急激なものとなっていた。

〔発明が解決しようとする課題〕

上述した従来のMISFETにおいては、ゲート薄膜電極33の側面下部の半導体基板表面近くのPN接合部分37において、不純物の極性及び

濃度が急激に変化しているため、MISFETが飽和領域動作を行う際にピンチオフ点からドレイン領域端部までの空乏層の幅が極めて狭くなってしまう。このため、ピンチオフ点とドレイン領域端部との間の電界強度が高くなり、ホットエレクトロンの発生が顕著となる。従って、絶縁薄膜中へエレクトロンが注入されてトランジスタの動作特性が変動したり、半導体基板への電流が増大したりする等の不都合がある。

本発明はかかる問題点に鑑みてなされたものであって、トランジスタ諸特性の変動及び半導体基板への電流の増大を抑制することができるMIS型電界効果トランジスタを提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るMIS型電界効果トランジスタは、その側面が半導体基板に対して傾斜しこの傾斜部で幅方向端部側の膜厚が薄くなるゲート薄膜電極と、前記半導体基板の表面にその一部が前記傾斜部と重なる領域に形成されたソースドレインの不

純物拡散層とを有し、この不純物拡散層の前記傾斜部との重なり部における不純物量が前記傾斜部の膜厚の変化に対応して変化していることを特徴とする。

〔作用〕

本発明においては、ゲート薄膜電極の膜厚が十分に厚い領域の直下には不純物の拡散層が存在しないが、ゲート薄膜電極の側面が傾斜して形成された傾斜部と重なる部分の半導体基板表面にはソースドレインの不純物拡散層が形成され、この部分においては、拡散層の不純物量(濃度及び/又は層厚)がゲート薄膜電極の傾斜部の膜厚に対応して変化する。このため、ゲート薄膜電極の傾斜部直下には、ソースドレイン拡散層の不純物がなだらかな濃度分布を示すと共に、層厚がなだらかに変化する。これにより、ピンチオフ点からドレイン領域までの空乏層の幅が広がるから、従来のMIS型電界効果トランジスタに比して電界強度が緩和されるので、ホットエレクトロンの発生が抑制される。このため、トランジスタの動作特

性の変動及び半導体基板への電流の増大等が防止される。

また、この不純物量が徐々に変化する領域はゲート薄膜電極と重なっているため、この部分が動作時に寄生抵抗として作用することはない。従って、MISFETの動作電流の低下等の弊害は発生しない。

〔実施例〕

次に、本発明の実施例について添付の図面を参照して説明する。

まず、本発明の実施例に係るMISFETの製造工程について説明して、併せて、その構造について説明する。

MISFETにはPチャネル型MISFETとNチャネル型MISFETとがあるが、ここではNチャネル型MISFETについて説明する。

第1図(a)乃至(e)は本発明の第1の実施例に係るNチャネル型MISFETの製造過程をその工程順に示す断面図、第2図は第1の実施例におけるソース又はドレイン近傍の構造を示す断

面図、第3図は横軸にPN接合部分中央からの距離をとり、縦軸上方にはP型不純物濃度、縦軸下方にはN型不純物濃度をとって、PN接合部分近傍の基板中の不純物濃度分布を示すグラフ図である。

まず、第1図(a)に示すように、P型半導体基板1の表面に絶縁体薄膜2を形成する。

次に、第1図(b)に示すように、絶縁体薄膜2の表面にゲート薄膜電極3を形成するための、例えば、不純物を多量に含む多結晶シリコン層3aを成長させる。

次に、第1図(c)に示すように、多結晶シリコン層3aの全面にフォトリジストを塗布した後、所定パターンで露光し、現像することにより、矩形断面のフォトリジスト4をパターン形成する。

次に、第1図(d)に示すように、フォトリジスト4をマスクとして多結晶シリコン層3aを等方性エッチングすることにより、絶縁体薄膜2上に断面形状が台形をなすゲート薄膜電極3を形成する。その後、フォトリジスト4をゲート薄膜電

極3の上面から剥離する。

このように等方性エッチングにより形成されたゲート薄膜電極3においては、その側面は基板1に対して傾斜しており、その傾斜部における膜厚、即ち、傾斜部表面から絶縁体薄膜2までの最短距離はゲート薄膜電極3の幅方向外方に向かって徐々に薄くなっている。

一方、傾斜部に挟まれた中央部分は基板1に対して平行であり、十分な膜厚を有している。

次に、第1図(e)に示すように、基板1表面にN型ドナー不純物5を高濃度で、且つ、高注入エネルギーでイオン注入することによって、基板1の表面にソース及びドレイン用のN型不純物拡散層6を形成する。

このようにして得られたMISFETにおいては、第2図に示すように、ゲート薄膜電極3の膜厚が十分に厚い部分の直下域の基板1にはドナー不純物5はイオン注入されない。しかし、ゲート薄膜電極3の傾斜部の直下域における基板1にはその少なくとも一部にN型不純物拡散層6が形成

される。この傾斜部においては、ゲート薄膜電極3の膜厚が比較的厚い部分の下方には比較的ドナー不純物濃度が薄く、しかも半導体基板1の表面からの深さが浅くなるように注入層が形成される。一方、ゲート薄膜電極3の幅方向外方になるにつれてその膜厚が徐々に減少していくと、第3図に示すように、前記ドナー不純物濃度は徐々に濃くなり、また、第2図に示すように前記半導体基板1の表面からの拡散層6の深さは徐々に深くなっていく。

このように本実施例においては、PN接合部分7(第2図)において、ドナー不純物の半導体基板1表面からの深さが徐々に変化し、ドナー不純物濃度が徐々に変化する部分8(第3図)が形成されるため、MISFETが飽和領域動作をする際、ピンチオフ点からドレイン領域端迄の空乏層の幅は従来のMISFETに比較して広がる。このため、両者間の電界強度が低くなる。従って、ホットエレクトロンの発生が抑制され、トランジスタ動作特性の変動及び半導体基板への電流の増

大等が抑制される。また、ソース及びドレイン拡散層6においては、不純物濃度が徐々に変化するPN接合部分7(第2図)、8(第3図)がゲート薄膜電極3と重なっているため、動作時に寄生抵抗として作用することはない。このため、MISFETの動作電流を低下させる等の弊害は発生しない。

次に、本発明の第2の実施例に係るMISFETについて添付の図面を参照して説明する。

第4図(a)乃至(f)は本実施例のMISFETの製造過程をその工程順に示す断面図、第5図は本実施例のMISFETの特にソース又はドレイン近傍の構造を示す断面図、第6図は横軸にPN接合部分中央からの距離をとり、縦軸上方にはP型不純物濃度、縦軸下方にはN型不純物濃度をとって、ゲート薄膜電極側面傾斜部下方の半導体基板表面近傍におけるPN接合部分の不純物濃度分布を示すグラフ図である。本実施例では特にNチャネル型MISFETについて説明する。

先ず、本実施例のNチャネル型MISFETの

(4) 製造過程について第4図に基いて説明する。

第4図(a)に示すように、P型半導体基板21上に絶縁体薄膜22を形成する。

次に、第4図(b)に示すように絶縁体薄膜22上にゲート薄膜電極23用の多結晶シリコン層23aを形成する。

次に、第4図(c)に示すように、多結晶シリコン層23aの全面にフォトレジストを塗布した後、所定パターンで露光し、現像することにより、矩形断面の形状のフォトレジスト24をパターン形成する。

次に、第4図(d)に示すように、フォトレジスト24をマスクとして多結晶シリコン層23aを等方性エッチングすることにより、絶縁体薄膜22上に断面形状が台形をなすゲート薄膜電極23を形成する。その後、フォトレジスト24をゲート薄膜電極23上から剝離する。

この等方性エッチングにおいては、ゲート薄膜電極23の上方部分がより多くエッチングされて、その側面が基板21に対して傾斜するように形成

される。このゲート薄膜電極23の傾斜部における膜厚はゲート薄膜電極23の幅方向外方に向かって徐々に薄くなっている。

次に、第4図(e)に示すように、半導体基板21の表面に低濃度及び高エネルギーでN型ドナー不純物25をイオン注入する。これにより、低濃度N型不純物拡散層26を形成する。このとき、ゲート薄膜電極23の膜厚が十分に厚い部分では、その下方の半導体基板表面にはドナー不純物は全く注入されない。しかし、ゲート薄膜電極23の側面傾斜部直下の半導体基板表面には前記ゲート不純物が注入される。この注入層はゲート薄膜電極23の膜厚が比較的厚い部分の下方では比較的ドナー不純物濃度が薄く、しかも半導体基板表面からの深さは浅い。また、ゲート薄膜電極23の幅方向外方になるにつれてその膜厚が徐々に減少すると、この膜厚の減少につれて、前記ドナー不純物濃度は徐々に濃くなり、また前記半導体基板表面からの深さは徐々に深くなっていく。しかし、この工程におけるドナー不純物の注入は低濃度の

注入であるため、ソース及びドレイン部拡散層26の抵抗は高い。

そこで、次工程で、第4図(f)に示すように、高濃度及び低エネルギーでN型ドナー不純物27をイオン注入する。これにより、低濃度不純物拡散層26内に高濃度不純物拡散層28が形成される。この高濃度ドナー不純物の注入により、ソース及びドレイン部拡散層の抵抗を低減することができる。しかし、このときのドナー不純物の注入は低エネルギーで行われるため、ゲート薄膜電極23の側面傾斜部の直下における半導体基板21中にはドナー不純物は注入されない。

本実施例においては、第5図に示すPN接合部分29において、第6図に示すようにドナー不純物濃度が徐々に変化する部分30が形成され、しかもこの部分30においては前記ゲート薄膜電極23側面傾斜部直下の半導体基板21中のドナー不純物濃度が極めて薄くなっている。このため、本実施例においては、所謂、LDD(Lightly Doped Drain)構造のMISFETを極めて容易

に製造することができる。

上記構造のMISFETにおいては、第1の実施例と同様に、ホットエレクトロンの発生が抑制され、トランジスタ動作特性の変動及び半導体基板への電流の増大等が抑制される。また、従来のLDD構造においてはソース及びドレイン部のドナー不純物拡散層における不純物濃度が薄い部分で寄生抵抗が問題であったのに対し、本実施例の構造であれば、前記不純物濃度が薄い部分はゲート薄膜電極23側面傾斜部と重なっているため、動作時には寄生抵抗として作用しない。このため、MISFETの動作電流の低下等の弊害はない。また、本実施例のMISFETでは、ソース及びドレイン部拡散層底部にも拡散層28から拡散層26へ向かう不純物の濃度勾配があるので、空乏層が広がりやすくなっている。このため、拡散層の寄生容量も減少させることができるという利点がある。

〔発明の効果〕

以上説明したように本発明は、ゲート薄膜電極

- (5) 側面に傾斜部を有しており、この傾斜部の直下の基板表面に不純物量が傾斜部の膜厚に応じて変化する部分を有する拡散層を形成したから、PN接合部分における電界強度が緩和され、ホットエレクトロンの発生によるトランジスタ諸特性の変動及び半導体基板への電流の増大が抑制される。また、上記構造においては、寄生抵抗の発生が防止されるため、動作電流が低下することはない。

4. 図面の簡単な説明

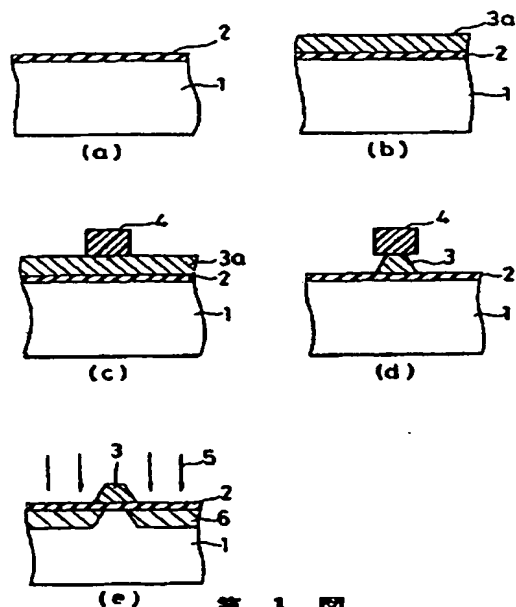
第1図(a)乃至(e)は本発明の第1の実施例に係るMISFETの製造過程を工程順に示す断面図、第2図は第1の実施例に係るMISFETのソース又はドレイン近傍の構造を示す断面図、第3図は本発明の第1の実施例に係るMISFETのゲート薄膜電極側面傾斜部直下近傍のPN接合部分における不純物の濃度分布を示すグラフ図、第4図(a)乃至(f)は本発明の第2の実施例に係るMISFETの製造過程を工程順に示す断面図、第5図は本発明の第2の実施例に係るMISFETのソース又はドレイン近傍の構造を示す

断面図、第6図は本発明第2の実施例に係るMISFETのゲート薄膜電極側面傾斜部直下近傍のPN接合部分における不純物の濃度分布を示すグラフ図、第7図(a)乃至(e)は従来のMISFETの製造過程を工程順に示す断面図、第8図は従来のMISFETのソース又はドレイン近傍の構造を示す断面図、第9図は従来のMISFETのゲート薄膜電極側面直下近傍のPN接合部分における不純物の濃度分布を示すグラフ図である。

1, 21, 31: P型半導体基板、2, 22, 32: 絶縁体薄膜、3, 23, 33: ゲート薄膜電極、6, 36: N型不純物拡散層、26: 低濃度N型不純物拡散層、28: 高濃度N型不純物拡散層

出願人 九州日本電気株式会社
代理人 井理士 藤巻正憲

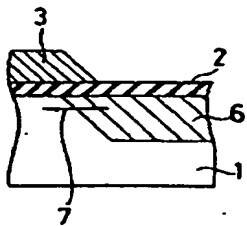
1: P型半導体基板
2: 絶縁体薄膜
3: ゲート薄膜電極
6: N型不純物拡散層



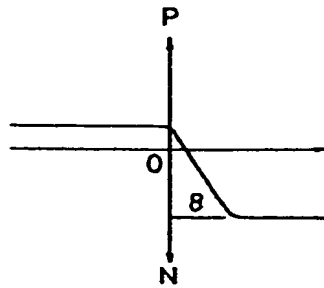
第1図

(6)

7: PN接合部分
8: 不純物濃度加減に變化する部分

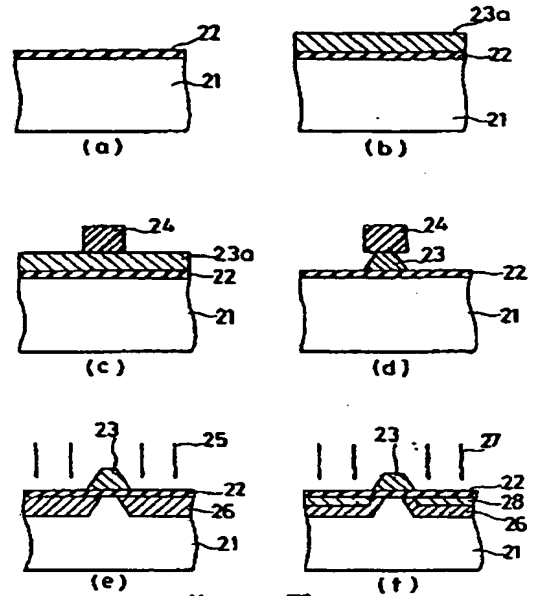


第 2 図



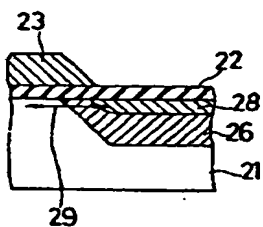
第 3 図

21: P型半導体基板
22: 絶縁薄膜
23: ゲート電極
26: 低濃度N型不純物拡散層
28: 高濃度N型不純物拡散層

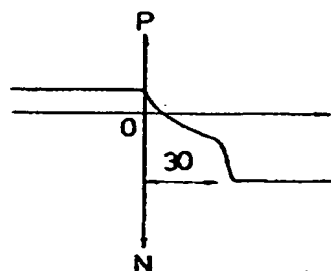


第 4 図

29: PN接合部分
30: P型不純物濃度加減に變化する部分

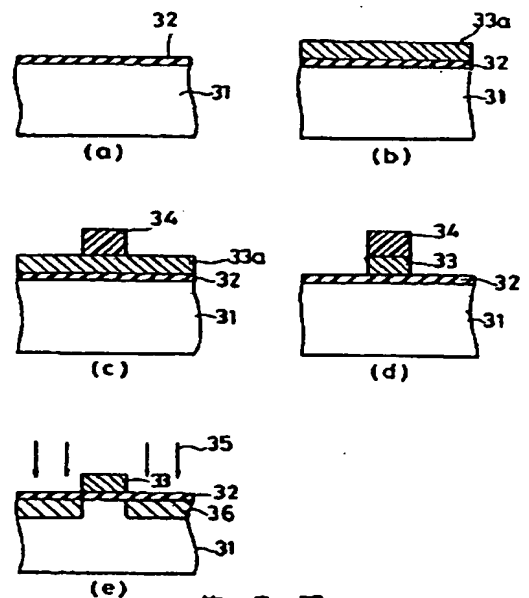


第 5 図



第 6 図

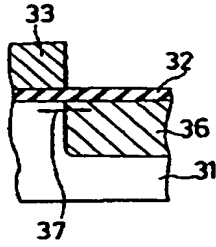
31: P型半導体基板
32: 絶縁薄膜
33: ゲート電極
36: N型不純物拡散層



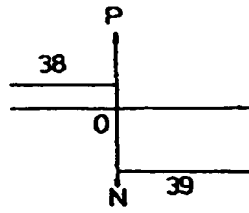
第 7 図

(7)

37:PN接合部



第 8 図



第 9 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.